

Family list

1 family member for:

JP11020360

Derived from 1 application.

1 IC CARD, FILM INTEGRATED CIRCUIT DEVICE, AND MANUFACTURE

THEREOF

Publication info: **JP11020360 A** - 1999-01-26

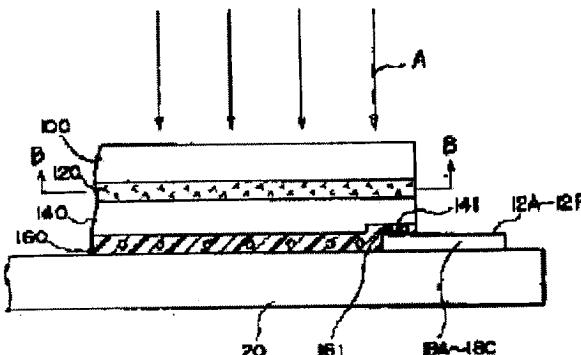
Data supplied from the **esp@cenet** database - Worldwide

IC CARD, FILM INTEGRATED CIRCUIT DEVICE, AND MANUFACTURE THEREOF

Patent number: JP11020360
Publication date: 1999-01-26
Inventor: INOUE SATOSHI; SHIMODA TATSUYA
Applicant: SEIKO EPSON CORP
Classification:
 - international: B42D15/10; G06K19/077; H01L21/02; H01L21/336;
 H01L27/12; H01L29/786; H05K3/20; B42D15/10;
 G06K19/077; H01L21/02; H01L27/12; H01L29/66;
 H05K3/20; (IPC1-7): B42D15/10; G06K19/077;
 H01L21/336; H01L27/12; H01L29/786; H05K3/20
 - european:
Application number: JP19970193197 19970703
Priority number(s): JP19970193197 19970703

Report a data error here**Abstract of JP11020360**

PROBLEM TO BE SOLVED: To provide thin, light, and pliable IC cards. **SOLUTION:** The method is to manufacture IC cards by transferring a layer 140 to be transferred including a film integrated circuit formed on a manufacturing substrate 100 onto a card substrate 20 having wirings 18A-18C. The first process is to form a separation layer 120 being separated through light irradiation on the manufacturing substrate 100. The second process is to form a layer 140 to be transferred including a film integrated circuit to be mounted on the IC card on the separation layer 120. At this time, an electrode-exposed part 141 is formed by exposing a part to be a terminal. The third process is to form wirings 18A-18C on the card substrate 20. In the fourth process, the layer 140 to be transferred is joined onto the card substrate 20 by a conductive adhesive 160 in a positional relation of conducting the wirings 18A-18C and the electrode-exposed part 141. In addition, the manufacturing substrate 100 is removed from the layer 140 to be transferred in the fourth process.

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-20360

(43) 公開日 平成11年(1999)1月26日

(51) Int.Cl.⁶
B42D 15/10
G06K 19/077
H01L 27/12
29/786
21/336

識別記号
521

F I
B42D 15/10
H01L 27/12
H05K 3/20
G06K 19/00
H01L 29/78

521

B

A

K

627 D

審査請求 未請求 請求項の数16 FD (全21頁) 最終頁に続く

(21) 出願番号 特願平9-193197

(22) 出願日 平成9年(1997)7月3日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 井上 聰

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 下田 達也

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

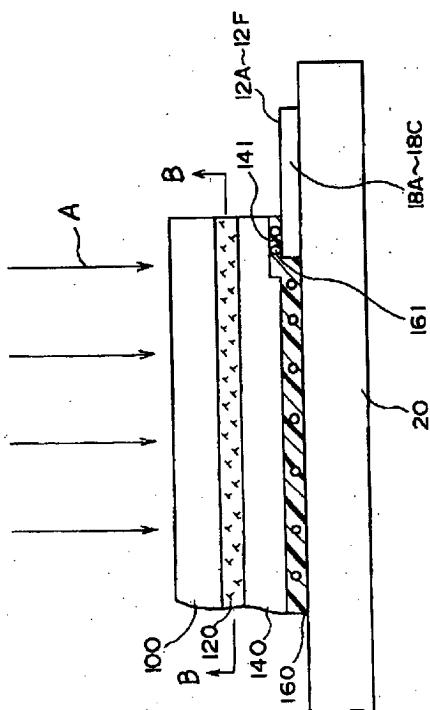
(74) 代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 ICカード及び薄膜集積回路装置並びにそれらの製造方法

(57) 【要約】

【課題】 薄くて軽く、さらには可撓性のあるICカードを提供すること。

【解決手段】 製造用基板100上に形成された薄膜集積回路を含む被転写層140を、配線18A～18Cを有するカード基板20に転写してICカード10を製造する方法である。第1工程で、製造用基板100に光照射で剥離する分離層120を形成する。第2工程で、その分離層120上にICカードに搭載される薄膜集積回路を含む被転写層140を形成する。このとき、端子となる部分を露出させて電極露出部141とする。第3工程で、カード基板20上に配線18A～18Cを形成する。第4工程で、配線18A～18Cと電極露出部141が導通する位置関係にて、導電性接着剤160によりカード基板20上に被転写層140を接合する。第4工程で、被転写層140より製造用基板100を除去する。



【特許請求の範囲】

【請求項 1】 製造用基板上に形成された薄膜集積回路を含む被転写層を、カード基板に転写して IC カードを製造する方法であつて、前記製造用基板上に、分離層を形成する第 1 工程と、前記分離層上に、前記薄膜集積回路を含む前記被転写層を形成し、かつ、端子となる部分を露出させて電極露出部を形成する第 2 工程と、前記カード基板上に配線パターンを形成する第 3 工程と、前記配線パターンと前記電極露出部とが導通する位置関係にて、前記被転写層を前記カード基板に接合する第 4 工程と、前記分離層を境にして、前記製造用基板を前記被転写層より除去する第 5 工程と、を有することを特徴とする IC カードの製造方法。

【請求項 2】 請求項 1 において、前記第 2 工程は、前記分離層が形成された一枚の前記製造用基板上に、複数の前記被転写層を同時に形成する工程と、複数の前記被転写層を個々に切断する工程と、を含むことを特徴とする IC カードの製造方法。

【請求項 3】 請求項 2 において、前記第 2 工程は、同時に形成された複数の前記被転写層の電気的特性を検査する検査工程を有し、前記第 4 工程は、前記検査工程にて良品と判別された被転写層を前記基板上に接合する工程を含むことを特徴とする IC カードの製造方法。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、前記第 4 工程は、前記カード基板上の複数の領域にて、それぞれ被転写層を接合する工程を有することを特徴とする IC カードの製造方法。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、前記第 3 工程は、異方性導電膜を介在させて、前記カード基板と前記被転写層とを接合することを特徴とする IC カードの製造方法。

【請求項 6】 製造用基板上に形成された薄膜集積回路を含む被転写層を、カード基板に転写して IC カードを製造する方法であつて、前記製造用基板上に、第 1 分離層を形成する第 1 工程と、

前記分離層上に、前記薄膜集積回路を含む前記被転写層を形成する第 2 工程と、一次転写体上に接合層を介して前記被転写層を接合する第 3 工程と、

前記第 1 分離層を境にして、前記製造用基板を前記被転写層より除去し、前記被転写層の端子となる部分を露出させて電極露出部を形成する第 4 工程と、前記カード基板上に配線パターンを形成する第 5 工程と、

前記配線パターンと前記電極露出部とが導通する位置関係にて、前記被転写層を二次転写体である前記カード基板に接合する第 6 工程と、を有することを特徴とする IC カードの製造方法。

【請求項 7】 請求項 6 において、

前記第 3 工程では、接合層として第 2 分離層を用い、前記第 2 分離層を境にして、前記一次転写体を前記被転写層より除去する第 7 工程をさらに有することを特徴とする IC カードの製造方法。

【請求項 8】 請求項 1 乃至 7 のいずれかに記載の方法により製造された IC カード。

【請求項 9】 請求項 8 において、前記カード基板がプラスチックであることを特徴とする IC カード。

【請求項 10】 請求項 8 または 9 において、前記半導体集積回路はプログラマブル ROM を有することを特徴とする IC カード。

【請求項 11】 請求項 10 において、前記プログラマブル ROM は、1 回のみ書き込み可能な 1 タイム PROM であることを特徴とする IC カード。

【請求項 12】 請求項 10 において、前記プログラマブル ROM は、強誘電メモリであることを特徴とする IC カード。

【請求項 13】 請求項 10 において、前記プログラマブル ROM は EEPROM であることを特徴とする IC カード。

【請求項 14】 請求項 8 乃至 13 のいずれかにおいて、前記半導体集積回路に加えて、磁気メモリを有することを特徴とする IC カード。

【請求項 15】 基板上に形成された薄膜集積回路を含む被転写層を、転写体に転写して薄膜集積回路装置を製造する方法であつて、

前記基板上に、分離層を形成する工程と、前記分離層上に、前記薄膜集積回路を含む前記被転写層を形成し、かつ、端子となる部分を露出させて電極露出部を形成する工程と、前記転写体に配線パターンを形成する工程と、前記配線パターンと前記電極露出部とが導通する位置関係にて、前記被転写層を前記転写体に接合する工程と、前記分離層を境にして、前記基板を前記被転写層より除去する工程と、を有することを特徴とする薄膜集積回路装置の製造方法。

【請求項 16】 請求項 15 に記載の方法により製造された薄膜集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、IC カード及び薄膜集積回路装置並びにそれらの製造方法に関する。

【背景技術及び発明が解決しようとする課題】従来より、集積回路（IC）を含むICカードとして、メモリカード、I/O（入出力回路）カード、ISO準拠のカードなどが知られている。ここで、ISO準拠のカードとは、集積回路としてマイクロプロセッサ、メモリーを含むICカードであり、セキュリティ機能を持たせることが可能であることから、医療、金融などの用途に広く用いられている。また、メモリカードとは、集積回路としてマイクロプロセッサを含まずメモリーだけを多くむICカードであり、パーソナルコンピュータ、電子楽器、ゲーム機などに用いられる携帯用の記憶装置として広く使用されている。I/Oカードとは、モデム、LAN、インターネットなどの諸機能を有するICカードであり、パーソナルコンピュータなどに着脱される入出力装置として広く使用されている。

【0003】これらのICカードは、まずシリコン基板を用いてICを形成し、そのシリコンICチップを回路基板に実装して製造されていた。従って、このICカードはIC製造のベースとなるシリコン基板に加えて回路基板を有するため、ICカードが厚くて堅くなり、携帯性が良好でなかった。また、回路基板自体及びICチップの保護層は、ICチップを外力から保護するために比較的厚く形成せざを得ず、この点からもICカードが堅くて重くなっていた。

【0004】本発明は、上記事情に鑑みてなされたものであり、その目的は、全く新規な方法を採用して、軽くて薄いICカード及び薄膜集積回路並びにそれらの製造方法を提供することにある。

【0005】本発明の他の目的は、可撓性に富むICカードを提供することにある。

【0006】

【課題を解決するための手段】上述した課題を解決する本発明は、以下のような構成をしている。

【0007】請求項1の発明は、製造用基板上に形成された薄膜集積回路を含む被転写層を、カード基板に転写してICカードを製造する方法であって、前記製造用基板上に、分離層を形成する第1工程と、前記分離層上に、前記薄膜集積回路を含む前記被転写層を形成し、かつ、端子となる部分を露出させて電極露出部を形成する第2工程と、前記カード基板上に配線パターンを形成する第3工程と、前記配線パターンと前記電極露出部とが導通する位置関係にて、前記被転写層を前記カード基板に接合する第4工程と、前記分離層を境にして、前記製造用基板を前記被転写層より除去する第5工程と、を有することを特徴とする。

【0008】デバイス製造における信頼性が高い例えば石英基板などの製造用基板上に、例えば、光を吸収する特性をもつ分離層を設けておき、その製造用基板上に薄膜集積回路を含む被転写層を形成する。この被転写層をカード基板に接合した後に分離層に例えば光を照射し、

これによって、その分離層において剥離現象を生じせしめて、その分離層と製造用基板との密着性を低下させる。そして、製造用基板に力を加えて被転写層から離脱させる。これにより、被転写層がカード基板に転写されてICカードが製造される。このICカードは、製造用基板が除去されているので、比較的薄くかつ軽量とすることができる。しかも、カード基板自体は薄膜形成プロセスに耐える耐熱性などの制約がないため、軽量で薄いものとすることができる、それによってもICカードの小型軽量化が達成される。

【0009】請求項2の発明は、請求項1において、前記第2工程は、前記分離層が形成された一枚の前記製造用基板上に、複数の前記被転写層を同時に形成する工程と、複数の前記被転写層を個々に切断する工程と、を含むことを特徴とする。

【0010】こうすると、被転写層の製造コストが大幅に低減する。

【0011】このとき、請求項3に示すように、前記第2工程は、同時に形成された複数の前記被転写層の電気的特性を検査する検査工程を有し、前記第4工程は、前記検査工程にて良品と判別された被転写層を前記基板上に接合する工程を含むことが好ましい。

【0012】こうすると、被転写層のみ不良に起因してICカード全体が不良になる確率が大幅に低減し、歩留まりが向上する。

【0013】請求項4に示すように、前記第3工程は、前記第1の基板上の複数の領域にて、それぞれ被転写層を接合する工程を有することができる。

【0014】特に、半導体層が例えばアモルファスシリコン、ポリシリコンと異なる複数種類の被転写層を転写する場合に有利である。

【0015】請求項5に示すように、前記第3工程は、異方性導電膜を介在させて、前記カード基板と前記被転写層とを接合することが好ましい。

【0016】異方性導電膜により、相隣接する配線同士がショートすることを防止できる。

【0017】請求項6の発明は、製造用基板上に形成された薄膜集積回路を含む被転写層を、カード基板に転写してICカードを製造する方法であって、前記製造用基板上に、第1分離層を形成する第1工程と、前記分離層上に、前記薄膜集積回路を含む前記被転写層を形成する第2工程と、一次転写体上に接合層を介して前記被転写層を接合する第3工程と、前記第1分離層を境にして、前記製造用基板を前記被転写層より除去し、前記被転写層の端子となる部分を露出させて電極露出部を形成する第4工程と、前記カード基板上に配線パターンを形成する第5工程と、前記配線パターンと前記電極露出部とが導通する位置関係にて、前記被転写層を二次転写体である前記カード基板に接合する第6工程と、を有することを特徴とする。

【 0 0 1 8 】 請求項 6 の発明によれば、製造用基板に対する被転写層の積層関係が、上下逆転せずに、二次転写体であるカード基板上にて確保される。

【 0 0 1 9 】 請求項 7 の発明は、請求項 6において、前記第 3 工程では、接合層として第 2 分離層を用い、前記第 2 分離層を境にして、前記一次転写体を前記被転写層より除去する第 7 工程をさらに有することを特徴とする。

【 0 0 2 0 】 請求項 7 の発明によれば、一次転写体が I C カードにとって不要である時には、これを第 2 分離層を介して除去することができる。

【 0 0 2 1 】 請求項 8 の発明は、請求項 1 乃至 7 のいずれかに記載の方法により製造された I C カードを定義している。上述したとおり、薄く軽量の I C カードを提供できる。

【 0 0 2 2 】 特に、請求項 9 に示すように、前記カード基板をプラスチックとすると、可撓性に富んだ I C カードを提供できる。

【 0 0 2 3 】 また、この I C カードは、請求項 10 に示すように、転写された薄膜半導体集積回路としてプログラマブル ROM (Read Only Memory) を有すると、種々の用途に記憶媒体カードとして利用できる。このプログラマブル ROM (PROM) としては、請求項 11 ～ 13 に示すように、1 回のみ書き込みが可能な 1 タイム PROM、強誘電メモリ、あるいは電気的に消去可能な EEPROM (Electrically Erasable PROM) などを挙げることができる。

【 0 0 2 4 】 また、請求項 14 に示すように、このような PROM と併せて、あるいは PROM の代わりに、I C カードに磁気メモリを有することが好ましい。磁気メモリは記憶容量が大きい点で好ましいからである。特に、PROM と併用して磁気メモリを設けた場合、セキュリティにからむ情報は、外部磁気等によって消去されずに確実に記憶できる PROM に記憶し、それ以外の情報は、記憶容量の大きい磁気メモリに記憶させると良い。

【 0 0 2 5 】 請求項 15, 16 は、本発明が I C カードに限らず、カード状以外の薄膜集積回路装置及びその製造方法にも適用できることを明確にした。

【 0 0 2 6 】

【発明の実施の形態】 次に、本発明の実施の形態について図面を参照して説明する。

【 0 0 2 7 】 (第 1 の実施の形態)

(I C カードの全体説明) まず、I C カードの一例について、図 1 を参照して説明する。

【 0 0 2 8 】 図 1 には、ROM (読み出し専用メモリ) カードのプロック図が示されている。図 1 において、カード基板上には、コネクタ 12, I/O 14 及び ROM 16 が設けられている。

【 0 0 2 9 】 ここで、コネクタ 12 は、ROM カード 1

0 がホストシステムのカードスロットに挿入された際に、ホストシステム側の端子に接続されるものである。このコネクタ 12 には、電源端子 12 A、グランド端子 12 B、制御用端子 12 C, 12 D、アドレス端子 12 E、データ端子 12 F が設けられている。

【 0 0 3 0 】 また、電源端子 12 A と入出力回路 (I/O) 14 及び ROM 16 とは、配線 18 A にて接続され、グランド端子 12 B と I/O 14 及び ROM 16 とは、配線 18 B にて接続され、残りの端子 12 C ～ 12 F とコネクタ 12 とは配線 18 C にて接続され、I/O 14 及び ROM 16 間は配線 18 D にて接続されている。

【 0 0 3 1 】 I/O 14 は、コネクタ 12 と ROM 16 との間に設けられ、デコーダ回路、入力回路及び出力回路を含んで構成される。この ROM カード 10 がホストシステムのカードスロットに挿入されると、電源端子 12 A 及びグランド端子 12 B を介して、I/O 14 及び ROM 16 に電力が供給される。さらに、ホストシステムからの制御信号及びアドレス信号が、制御用端子 12 C, 12 D 及びアドレス端子 12 E を介して I/O 14 に入力されると、入力回路及びデコード回路を介して、ROM 16 のアドレスを指定するアドレス指定信号が ROM 16 に供給される。そのアドレスに対応して ROM 16 より読み出されたデータは、I/O 16 の出力回路及びデコード回路と、データ端子 12 F を介して、ホストシステムの規格に合った仕様にて ROM カード 10 より出力される。

【 0 0 3 2 】 以下、図 1 に示した I C カードの製造方法を、図 2 ～ 図 6 を参照して説明する。

【 0 0 3 3 】 [工程 1] 本実施の形態では、図 1 に示す構成要素のうち、各種端子 12 A ～ 12 F と、配線 18 A ～ 18 C とを、図 2 に示すようにカード基板 20 上に形成しておく。

【 0 0 3 4 】 ここで、カード基板 20 の材質は、プラスチックなどの合成樹脂またはガラス基板などの軽くて比較的薄い板状の絶縁基板である。図 1 に示す I/O 14, ROM 16 及びそれらを接続する配線 18 D は、図 2 に示す被転写層 140 中に形成され、この被転写層 140 がカード基板 20 上に転写されて、図 1 に示す I C カードの一例である ROM カード 10 が製造される。

【 0 0 3 5 】 [工程 2] 図 3 (A) に示すように、基板 100 上に分離層 (光吸収層) 120 を形成する。

【 0 0 3 6 】 以下、基板 100 および分離層 120 について説明する。

【 0 0 3 7 】 ① 基板 100 についての説明

基板 100 は、光が透過し得る透光性を有するものであるのが好ましい。

【 0 0 3 8 】 この場合、光の透過率は 10 % 以上であるのが好ましく、50 % 以上であるのがより好ましい。この透過率が低過ぎると、光の減衰 (ロス) が大きくな

り、分離層120を剥離するのにより大きな光量を必要とする。

【0039】また、基板100は、信頼性の高い材料で構成されているのが好ましく、特に、耐熱性に優れた材料で構成されているのが好ましい。その理由は、例えば後述する被転写層140や中間層142を形成する際に、その種類や形成方法によってはプロセス温度が高くなる（例えば350～1000°C程度）ことがあるが、その場合でも、基板100が耐熱性に優れていれば、基板100上への被転写層140等の形成に際し、その温度条件等の成膜条件の設定の幅が広がるからである。

【0040】従って、基板100は、被転写層140の形成の際の最高温度をT_{max}としたとき、歪点がT_{max}以上の材料で構成されているのものが好ましい。具体的には、基板100の構成材料は、歪点が350°C以上のものが好ましく、500°C以上のものがより好ましい。このようなものとしては、例えば、石英ガラス、コーニング7059、日本電気ガラスOA-2等の耐熱性ガラスが挙げられる。

【0041】また、基板100の厚さは、特に限定されないが、通常は、0.1～5.0mm程度であるのが好ましく、0.5～1.5mm程度であるのがより好ましい。基板100の厚さが薄すぎると強度の低下を招き、厚すぎると、基板100の透過率が低い場合に、光の減衰を生じ易くなる。なお、基板100の光の透過率が高い場合には、その厚さは、前記上限値を超えるものであってもよい。なお、光を均一に照射できるように、基板100の厚さは、均一であるのが好ましい。

【0042】②分離層120の説明

分離層120は、照射される光を吸収し、その層内および／または界面において剥離（以下、「層内剥離」、「界面剥離」と言う）を生じるような性質を有するものであり、好ましくは、光の照射により、分離層120を構成する物質の原子間または分子間の結合力が消失または減少すること、すなわち、アブレーションが生じて層内剥離および／または界面剥離に至るもののがよい。

【0043】さらに、光の照射により、分離層120から気体が放出され、分離効果が発現される場合もある。すなわち、分離層120に含有されていた成分が気体となって放出される場合と、分離層120が光を吸収して一瞬気体になり、その蒸気が放出され、分離に寄与する場合がある。このような分離層120の組成としては、例えば、次のA～Eに記載されるものが挙げられる。

【0044】A. アモルファスシリコン(a-Si)

このアモルファスシリコン中には、水素(H)が含有されていてもよい。この場合、Hの含有量は、2原子%以上程度であるのが好ましく、2～20原子%程度であるのがより好ましい。このように、水素(H)が所定量含有されていると、光の照射によって水素が放出され、分

離層120に内圧が発生し、それが上下の薄膜を剥離する力となる。アモルファスシリコン中の水素(H)の含有量は、成膜条件、例えばCVDにおけるガス組成、ガス圧、ガス雰囲気、ガス流量、温度、基板温度、投入パワー等の条件を適宜設定することにより調整することができる。

【0045】B. 酸化ケイ素又はケイ酸化合物、酸化チタンまたはチタン酸化合物、酸化ジルコニウムまたはジルコン酸化合物、酸化ランタンまたはランタン酸化化合物等の各種酸化物セラミックス、透電体（強誘電体）あるいは半導体

酸化ケイ素としては、SiO、SiO₂、Si₃O₄が挙げられ、ケイ酸化合物としては、例えばK₂SiO₃、Li₂SiO₃、CaSiO₃、ZrSiO₄、Na₂SiO₃が挙げられる。

【0046】酸化チタンとしては、TiO、Ti₂O₃、TiO₂が挙げられ、チタン酸化合物としては、例えばBaTiO₃、BaTiO₃、Ba₂Ti₂O₇、BaTi₂O₅、BaTi₃O₇、CaTiO₃、SrTiO₃、PbTiO₃、MgTiO₃、ZrTiO₄、SnTiO₄、Al₂TiO₅、FeTiO₃が挙げられる。

【0047】酸化ジルコニウムとしては、ZrO₂が挙げられ、ジルコン酸化合物としては、例えばBaZrO₃、ZrSiO₄、PbZrO₃、MgZrO₃、K₂ZrO₃が挙げられる。

【0048】C. PZT、PLZT、PLLZT、PBZT等のセラミックスあるいは誘電体（強誘電体）
D. 窒化珪素、窒化アルミ、窒化チタン等の窒化物セラミックス

E. 有機高分子材料

有機高分子材料としては、-CH-、-CO-（ケトン）、-CONH-（アミド）、-NH-（イミド）、-COO-（エステル）、-N=N-（アゾ）、-CH=N-（シフ）等の結合（光の照射によりこれらの結合が切断される）を有するもの、特に、これらの結合を多く有するものであればいかなるものでもよい。また、有機高分子材料は、構成式中に芳香族炭化水素（1または2以上のベンゼン環またはその縮合環）を有するものであってもよい。

【0049】このような有機高分子材料の具体例としては、ポリエチレン、ポリプロピレンのようなポリオレフィン、ポリイミド、ポリアミド、ポリエチル、ポリメチルメタクリレート（PMMA）、ポリフェニレンサルファイド（PPS）、ポリエーテルスルホン（PES）、エポキシ樹脂等があげられる。

【0050】F. 金属

金属としては、例えば、Al、Li、Ti、Mn、In、Sn、Y、La、Ce、Nd、Pr、Gd、Smまたはこれらのうちの少なくとも1種を含む合金が挙げられる。

【0051】また、分離層120の厚さは、剥離目的や分離層120の組成、層構成、形成方法等の諸条件により異なるが、通常は、1 nm～20 μm程度であるのが好ましく、10 nm～2 μm程度であるのがより好ましく、40 nm～1 μm程度であるのがさらに好ましい。分離層120の膜厚が小さすぎると、成膜の均一性が損なわれ、剥離にムラが生じることがあり、また、膜厚が厚すぎると、分離層120の良好な剥離性を確保するために、光のパワー（光量）を大きくする必要があるとともに、後に分離層120を除去する際に、その作業に時間がかかる。なお、分離層120の膜厚は、できるだけ均一であるのが好ましい。

【0052】分離層120の形成方法は、特に限定されず、膜組成や膜厚等の諸条件に応じて適宜選択される。たとえば、CVD（MOCVD、低圧CVD、ECR-CVDを含む）、蒸着、分子線蒸着（MB）、スパッタリング、イオンプレーティング、PVD等の各種気相成膜法、電気メッキ、浸漬メッキ（ディッピング）、無電解メッキ等の各種メッキ法、ラングミュア・プロジェクト（L B）法、スピニコート、スプレーコート、ロールコート等の塗布法、各種印刷法、転写法、インクジェット法、粉末ジェット法等が挙げられ、これらのうちの2以上を組み合わせて形成することもできる。

【0053】なお、分離層120をゾルゲル法によるセラミックスで構成する場合や、有機高分子材料で構成する場合には、塗布法、特に、スピニコートにより成膜するのが好ましい。

【0054】分離層120の組成がアモルファスシリコン（a-Si）の場合には、気相成長法（CVD）、特に低圧（L P）CVDが、プラズマCVD、大気圧（A P）CVD及びECRよりも優れている。

【0055】例えばプラズマCVDにより形成されたアモルファスシリコン層中には、比較的多く水素が含有される。この水素の存在により、アモルファスシリコン層をアブレーションさせ易くなるが、成膜時の基板温度が例えば350℃を越えると、そのアモルファスシリコン層より水素が放出される。

【0056】また、プラズマCVD膜は密着性が比較的弱く、デバイス製造工程中のウェット洗浄工程にて、基板100と被転写層140とが分離される虞がある。

【0057】この点、LPCVD膜は、水素が放出される虞が無く、しかも十分な密着性を確保できる点で優れている。

【0058】ここで、アブレーションとは、照射光を吸収した固定材料（分離層120の構成材料）が光化学的または熱的に励起され、その表面や内部の原子または分子の結合が切断されて放出することをいい、主に、分離層120の構成材料の全部または一部が溶融、蒸散（気化）等の相変化を生じる現象として現れる。また、前記相変化によって微小な発砲状態となり、結合力が低下す

ることもある。

【0059】【工程3】次に、図3（B）に示すように、分離層120上に、被転写層（薄膜デバイス層）140を形成する。

【0060】この薄膜デバイス層140のK部分（図3（B）において1点線鎖線で囲んで示される部分）の拡大断面図を、図3（B）中に示す。図示されるように、薄膜デバイス層140は、例えば、SiO_x膜（中間層）142上に形成されたTFT（薄膜トランジスタ）を含んで構成され、このTFTは、ポリシリコン層にn型不純物を導入して形成されたソース、ドレイン層146と、チャネル層144と、ゲート絶縁膜148と、ゲート電極150と、層間絶縁膜154と、例えばアルミニウムからなる電極152とを具備する。

【0061】ここで、この薄膜デバイス層140は、ポリシリコンTFTと接続される配線層のうち、カード基板20に形成された配線18A～18Cと接続される端部が、露出端部141として形成されている。

【0062】本実施の形態では、分離層120に接して設けられる中間層としてSiO_x膜を使用しているが、Si_xN_yなどのその他の絶縁膜を使用することもできる。SiO_x膜（中間層）の厚みは、その形成目的や發揮し得る機能の程度に応じて適宜決定されるが、通常は、10 nm～5 μm程度であるのが好ましく、40 nm～1 μm程度であるのがより好ましい。中間層は、種々の目的で形成され、例えば、被転写層140を物理的または化学的に保護する保護層、絶縁層、導電層、レーザー光の遮光層、マイグレーション防止用のバリア層、反射層としての機能の内の少なくとも1つを發揮するものが挙げられる。

【0063】なお、場合によっては、SiO_x膜等の中間層を形成せず、分離層120上に直接被転写層（薄膜デバイス層）140を形成してもよい。

【0064】ICカードのための薄膜素子としては、TFTの他に、例えば、薄膜ダイオードや、シリコンのPIN接合からなる光電変換素子（光センサ、太陽電池）やシリコン抵抗素子、その他の薄膜半導体デバイス、電極（例：ITO、メサ膜のような透明電極）、スイッチング素子、メモリー、圧電素子等のアクチュエータ、マイクロミラー（ピエゾ薄膜セラミックス）、磁気記録薄膜ヘッド、コイル、インダクター、薄膜高透磁材料およびそれらを組み合わせたマイクロ磁気デバイス、フィルター、反射膜、マイクロイックミラー等がある。

【0065】このような薄膜素子（薄膜デバイス）は、その形成方法との関係で、通常、比較的高いプロセス温度を経て形成される。したがって、この場合、前述したように、基板100としては、そのプロセス温度に耐え得る信頼性の高いものが必要となる。

【0066】【工程4】次に、図4に示すように、薄膜デバイス層140を、カード基板20上に導電性接着層

160を介して接着する。このとき、カード基板20上に予め形成された配線18A～18Cと、薄膜デバイス層140の露出端部141とが対向される。

【0067】導電性接着層160の好適な例としては、ACF (anisotropic conductive film: 異方性導電膜) であり、配線18A～18Cと露出端部141との間には、例えばACFが配置され、基板100とカード基板20が外側から加圧され、配線18A～18Cと露出端部141とが熱圧着される。加圧により、ACFの接着剤中に含有される導電粒子161も加圧され、配線18A～18Cと露出端部141とが、加圧された導電粒子161を介して電気的に接続される。ACFを用いると、厚さ方向のみで導通が確保されるため、隣接する配線18A～18C同士または露出端部141同士がショートすることを防止できる。なお、他の導電性接着剤を用いることもでき、導電性接着層160の接着剤の材質としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気硬化型接着剤等の各種硬化型接着剤が挙げられる。接着剤の組成としては、例えば、エポキシ系、アクリレート系、シリコーン系等、いかなるものでもよい。

【0068】前記硬化型接着剤を用いる場合、例えばカード基板20上に硬化型接着剤を塗布し、その上に被転写層(薄膜デバイス層)140を接合した後、硬化型接着剤の特性に応じた硬化方法により前記硬化型接着剤を硬化させて、被転写層(薄膜デバイス層)140とカード基板20とを接着し、固定する。

【0069】接着剤が光硬化型の場合、透明のカード基板20または光透過性の基板100の一方の外側からあるいは両外側から光を照射する。この場合、導電性接着層160中の接着剤としては、薄膜デバイス層に影響を与えていく紫外線硬化型などの光硬化型接着剤が好ましい。

【0070】【工程5】次に、図5の矢印Aに示すように、基板100の裏面側から光を照射する。

【0071】この光は、基板100を透過した後に分離層120に照射される。これにより、分離層120に層内剥離および/または界面剥離が生じ、結合力が減少または消滅する。

【0072】分離層120の層内剥離および/または界面剥離が生じる原理は、分離層120の構成材料にアブレーションが生じること、また、分離層120に含まれているガスの放出、さらには照射直後に生じる溶融、蒸散等の相変化によるものであることが推定される。

【0073】ここで、アブレーションとは、照射光を吸収した固定材料(分離層120の構成材料)が光化学的または熱的に励起され、その表面や内部の原子または分子の結合が切断されて放出することをいい、主に、分離層120の構成材料の全部または一部が溶融、蒸散(気

化)等の相変化を生じる現象として現れる。また、前記相変化によって微小な発砲状態となり、結合力が低下することもある。

【0074】分離層120が層内剥離を生じるか、界面剥離を生じるか、またはその両方であるかは、分離層120の組成や、その他種々の要因に左右され、その要因の一つとして、照射される光の種類、波長、強度、到達深さ等の条件が挙げられる。

【0075】照射する光としては、分離層120に層内剥離および/または界面剥離を起こさせるものであればいかなるものでもよく、例えば、X線、紫外線、可視光、赤外線(熱線)、レーザ光、ミリ波、マイクロ波、電子線、放射線(α 線、 β 線、 γ 線)等が挙げられる。そのなかでも、分離層120の剥離(アブレーション)を生じさせ易いという点で、レーザ光が好ましい。

【0076】このレーザ光を発生させるレーザ装置としては、各種気体レーザ、固体レーザ(半導体レーザ)等が挙げられるが、エキシマレーザ、Nd-YAGレーザ、Arレーザ、CO₂レーザ、COレーザ、He-Neレーザ等が好適に用いられ、その中でもエキシマレーザが特に好ましい。

【0077】エキシマレーザは、短波長域で高エネルギーを出力するため、極めて短時間で分離層120にアブレーションを生じさせることができ、よって隣接するカード基板20や基板100等に温度上昇をほとんど生じさせることなく、すなわち劣化、損傷を生じさせることなく、分離層120を剥離することができる。

【0078】また、分離層120にアブレーションを生じさせるに際して、光の波長依存性がある場合、照射されるレーザ光の波長は、100nm～350nm程度であるのが好ましい。

【0079】図7に、基板100の、光の波長に対する透過率の一例を示す。図示されるように、300nmの波長に対して透過率が急峻に増大する特性をもつ。このような場合には、300nm以上の波長の光(例えば、波長308nmのXe-CIエキシマレーザー光)を照射する。

【0080】また、分離層120に、例えばガス放出、気化、昇華等の相変化を起こさせて分離特性を与える場合、照射されるレーザ光の波長は、350から1200nm程度であるのが好ましい。

【0081】また、照射されるレーザ光のエネルギー密度、特に、エキシマレーザの場合のエネルギー密度は、1.0～5000mJ/cm²程度とするのが好ましく、1.0～500mJ/cm²程度とするのがより好ましい。また、照射時間は、1～1000nsec程度とするのが好ましく、1.0～100nsec程度とするのがより好ましい。エネルギー密度が低いかまたは照射時間が短いと、十分なアブレーション等が生じず、また、エネルギー密度が高いかまたは照射時間が長いと、分離層

120を透過した照射光により被転写層140に悪影響を及ぼすおそれがある。

【0082】なお、レーザ光に代表される照射光は、その強度がほぼ均一となるように照射されるのであれば、照射光の照射方向は、分離層120に対し垂直な方向に限らず、分離層120に対し所定角度傾斜した方向であってもよい。

【0083】次に、図5の矢印Bに示すように、基板100に力を加えて、この基板100を分離層120から離脱させる。図5では図示されないが、この離脱後、基板100上に分離層が付着することもある。

【0084】【工程6】次に、残存している分離層120を、例えば洗浄、エッティング、アッショング、研磨等の方法またはこれらを組み合わせた方法により除去する。

これにより、図6に示すように、被転写層（薄膜デバイス層）140が、カード基板20に転写され、カード基板20上には、元々形成されていたコネクタ12、配線18A～18Cに加えて、図1に示すI/O14、ROM16及びそれらを接続する配線18Dが搭載されることになる。しかも、カード基板20と被転写層140とは、上述した配線18A～18Cと露出端部141とは導電性接着層160にて電気的に接続されている。従って、転写後に煩雑な配線作業を省力することができる。

【0085】なお、離脱した基板100にも分離層の一部が付着している場合には同様に除去する。なお、基板100が石英ガラスのような高価な材料、希少な材料で構成されている場合等には、基板100は、好ましくは再利用（リサイクル）に供される。すなわち、再利用したい基板100に対し、本発明を適用することができ、有用性が高い。

【0086】以上のような各工程を経て、被転写層（薄膜デバイス層）140のカード基板20への転写が完了してROMカード10が完成する。その後、必要により、被転写層（薄膜デバイス層）140に隣接するSiO₂膜の除去や、被転写層140の表面のうちコネクタ12を除く領域での保護膜の形成等を行うことができる。

【0087】本実施の形態では、被剥離物である被転写層（薄膜デバイス層）140自体を直接に剥離するのではなく、被転写層（薄膜デバイス層）140に接合された分離層120において剥離するため、被剥離物（被転写層140）の特性、条件等にかかわらず、容易かつ確実に、しかも均一に剥離（転写）することができ、剥離操作に伴う被剥離物（被転写層140）へのダメージもなく、被転写層140の高い信頼性を維持することができる。

【0088】（第2の実施の形態）第1の実施の形態にて説明したROMカードのより具体的な製造プロセスの例を、図2及び図8～図19を用いて説明する。

【0089】（工程1）本実施の形態においても、図2

に示すように、まず、カード基板20上に、コネクタ12、配線18A～18Cを形成する。

【0090】（工程2）図8に示すように、透光性基板（例えば石英基板）100上に、分離層（例えば、LPCVD法により形成されたアモルファスシリコン層）120と、中間層（例えば、SiO₂膜）142と、アモルファスシリコン層（例えばLPCVD法により形成される）143とを順次に積層形成し、続いて、アモルファスシリコン層143の全面に上方からレーザー光を照射し、アニールを施す。これにより、アモルファスシリコン層143は再結晶化してポリシリコン層となる。

【0091】（工程3）続いて、図9に示すように、レーザーアニールにより得られたポリシリコン層をバーニングして、アイランド144a、144bを形成する。

【0092】（工程4）図10に示すように、アイランド144a、144bを覆うゲート絶縁膜148a、148bを、例えば、CVD法により形成する。

【0093】（工程5）図11に示すように、ポリシリコンあるいはメタル等からなるゲート電極150a、150bを形成する。

【0094】（工程6）図12に示すように、ポリイミド等からなるマスク層170を形成し、ゲート電極150bおよびマスク層170をマスクとして用い、セルフアラインで、例えばボロン（B）のイオン注入を行う。これによって、p⁺層172a、172bが形成される。

【0095】（工程7）図13に示すように、ポリイミド等からなるマスク層174を形成し、ゲート電極150aおよびマスク層174をマスクとして用い、セルフアラインで、例えばリン（P）のイオン注入を行う。これによって、n⁻層146a、146bが形成される。

【0096】（工程8）図14に示すように、層間絶縁膜154を形成し、選択的にコンタクトホール形成後、電極152a～152dを形成する。

【0097】（工程9）次に、図15に示すように、層間絶縁膜154上に保護膜176を形成する。このとき、アモルファスシリコン層20の露出端部22と電気的に接続される電極の端部は、保護膜176に覆われない露出端部とされる。図15では、電極152aの露出端部141を示している。

【0098】このようにして形成されたCMOS構造のTFTが、図3（B）～図6における被転写層（薄膜デバイス層）140に該当する。

【0099】（工程10）上述した被転写層140は、図16に示すように、一枚のガラス基板180に多数同時に製造することができる。そこで、このガラス基板180をプロープ装置にセットし、ガラス基板180上の各々被転写層140の露出端部141に触針をコンタクトして、各々の被転写層140の電気的特性検査を実施

する。そして、不良と判定された被転写層140にはインカーナーまたはスクラッチ針などにてマーキングする。

【0100】その後、ガラス基板180上の多数の被転写層140を個々にダイシングする。この際、マーキングの有無により、個々の被転写層140を、不良品と良品とに選別しておく。なお、ダイシング後に、個々の被転写層140の電気的特性検査を実施しても良い。

【0101】(工程11) 図17に示すように、カード基板20上及び露出端部141上に、ACF160を形成し、次に、図6にて説明した場合と同様に、そのACF160を介して、良品の被転写層140を貼り付け、熱と圧力とにより接着する。このとき、カード基板20上の配線18A～18Cと、被転写層140の露出端部141とは、ACF160中の導電粒子161を介して導通される。被転写層140は、カード基板20に搭載する数分だけ貼り付けることができ、本実施の形態では一つの被転写層140がカード基板20に貼り付けられる。

【0102】(工程12) 図18の矢印Aに示すように、透光性基板100の裏面から、例えば、Xe-C1エキシマレーザー光を照射する。これにより、分離層120の層内および／または界面において剥離を生じせめる。この結果、分離層120の結合力が低下するので、この分離層120を境として、図18の矢印Bに示すように被転写層140より基板100を引き剥がす。

【0103】さらに、分離層120をエッチングにより除去する。これにより、コネクタ12及び配線18A、18Bが形成されたカード基板20上に、図1に示すI/O14、ROM16及び配線18Dを含む被転写層140が転写される。そして、被転写層140の表面のうち、コネクタ12を除く領域に保護膜178を形成することで、図19に示すようにROMカード10が完成する。

【0104】(第3の実施の形態) この第3の実施の形態は、第1、第2の実施の形態にて説明した製造方法を用いて、図1とは異なるICカードを製造するものである。このICカードの他の例を、図20(A)～(C)を参照して説明する。

【0105】図20(A)に示すICカードは、コネクタ12と配線22とが形成されたカード基板20上に、メモリ例えば不揮発性メモリ30を有する被転写層140を転写したメモリカードである。

【0106】図20(B)に示すICカードは、コネクタ12と配線22、24とが形成されたカード基板20上に、メモリ例えば不揮発性メモリ30、CPU40及びそれらを接続する配線44を有する被転写層140を転写したものである。

【0107】図20(C)では、被転写層140が、図20(B)の構成要素に加えて、I/O50と、I/O50及びメモリ30を接続する配線32と、I/O50

10

及びCPU40を接続する配線42とを有している。この場合、カード基板20上には、コネクタ12と、そのコネクタ12及びI/O50を接続する配線26が形成され、そのカード基板20上に被転写層140が転写されている。

【0108】この他、被転写層140としてI/Oのみを搭載しても良い。

【0109】このように、被転写層140に内蔵される回路及び配線を変えることで、種々のICカードを製造することができる。

【0110】(第4の実施の形態) この第4の実施の形態は、2種以上の被転写層をカード基板20上に転写して、ICカードを製造するものである。この種のICカードの例を図21(A)、(B)を参照して説明する。

【0111】図21(A)に示すICカードは、カード基板20上に、第1、第2の被転写層140、400を転写して製造される。

20

【0112】第1の被転写層140は上述した第1、第2の実施の形態にて説明した製造方法により製造されるものである。この被転写層140は、上述したメモリ30、CPU40及びI/O50に加えて、表示駆動回路60を有している。これらは、上述したポリシリコン TFTを能動素子として構成できる。また、この被転写層140はさらに、メモリ30と表示駆動回路60とを接続する配線34と、CPU40と表示駆動回路60とを接続する配線46とを含んでいる。

30

【0113】一方、第2の被転写層400は、表示部例えば液晶表示部70を含んでいる。この液晶表示部70の各画素に設けられたスイッチング素子は、例えばアモルファスシリコンTFTにて形成することができる。各画素は、スイッチング素子に接続された画素電極と、スイッチング素子を介して印加された電圧を保持する保持容量とを有する。カード基板20がガラス基板等の透光性を有するのであれば、画素電極はITOなどの透明電極からなり、液晶表示部70は透過型液晶表示部となる。一方、この液晶表示部を反射型液晶表示部とするには、画素電極を金属からなる反射電極とすればよい。また、カード基板20がプラスチックなどの光を透過しにくい材質であれば、液晶表示部70は反射型液晶表示部となる。この場合、画素電極を上述のように反射電極とするか、あるいはカード基板20上に予め反射層を形成し、その上に被転写層となるTFTおよび透明画素電極を転写して構成する、などとすればよい。

40

【0114】このように、第1、第2の被転写層140、400は、この第3の実施の形態では、各被転写層の半導体素子の半導体層の材質が異なっている。もちろん、液晶表示部70のスイッチング素子をポリシリコンTFTとすれば、一つの被転写層中に液晶表示部70を含めることができる。ただし、画素のスイッチング素子としては、リーケ電流が小さく、さほど移動度が高く求

50

められないアモルファスシリコン TFT を好適に使用することができる。

【0115】この第1、第2の被転写層140、400が転写されるカード基板20上には、図20(C)と同じくコネクタ12及び配線26が形成されることに加えて、第1、第2被転写層140、400間を接続する配線28が形成される。

【0116】次に、図21(B)に示すICカードは、図21(A)に示す構成要素に加えて、さらに電池例えば太陽電池80を搭載している。こうすると、メモリ30に例えればSRAMなどの揮発性メモリを用いても、それを常時バックアップすることができる。太陽電池80は例えればアモルファスシリコン太陽電池にて構成できる。従って、この太陽電池80の領域を第3の被転写層600として、カード基板20に転写するようしている。この場合、カード基板20には、図21(A)に示すコネクタ12及び配線26、28に加えて、第3の被転写層600を第1、第2転写層140、400と接続するための配線29が形成される。

【0117】(第5の実施の形態) 本実施の形態は、図22に示すように、転写体であるカード基板20上に、図21(A)に示す第1の被転写層140と、図21(A)に示す第2の被転写層400とを転写して、ICカードを製造するものである。このとき、カード20上には予めコネクタ12及び配線26、29が形成されており、第1、第2の被転写層140、400は、配線26、29と導通するようにして転写される。

【0118】以下、図22に示すICカードの製造方法について、図23～図29を参照して説明する。なお、第1の被転写層140については、第2の実施の形態にて説明したものと回路構成が相違するのみで、第2の実施の形態にて説明した被転写層140の製造方法をそのまま利用できる。以下、第2の被転写層400を用いた液晶表示部70の製造方法について説明する。なお、この第5の実施の形態に用いる部材のうち、第2の実施の形態にて用いた部材と同一機能を有する部材については、同一符号を付してその説明を省略する。

【0119】(工程1) 図23は、液晶表示部80の元となるアモルファスシリコンTFTを含む第2の被転写層400の製造工程を示している。ここで、第2の被転写層400とは、ゲート電極540、ゲート絶縁膜542、チャンネルとなるアモルファスシリコン層544、チャンネル保護膜546、ソース・ドレインとなるn+アモルファスシリコン層548、550、ソース電極552、ドレン電極554、画素電極556、パッセンジション膜558及び後述する中間層559である。なお、本実施の形態では反射型液晶表示部を採用し、画素電極556を金属にて形成した。

【0120】この第2の被転写層400は、カード基板20上に直接に形成するのではなく、第2の被転写層40

0の製造のためにのみ用いる基板例えば透明基板402上に形成される。この透明基板402は、第2の被転写層400を形成するための最高プロセス温度に耐える耐熱性を有する。

【0121】また、図23では、透明基板400上に例えればアモルファスシリコンにて形成された第1分離層404を形成している。この第1分離層404は、第2の実施の形態における分離層120と同様に機能するものである。

【0122】本実施の形態ではさらに、第1分離層404上に接して設けられる中間層559を設けている。中間層559として、SiO_x、Si_xN_yなどの絶縁膜を使用している。SiO_x膜(中間層)の厚みは、その形成目的や発揮し得る機能の程度に応じて適宜決定されるが、通常は、10nm～5μm程度であるのが好ましく、40nm～1μm程度であるのがより好ましい。中間層は、種々の目的で形成され、例えば、第2の被転写層400を物理的または化学的に保護する保護層、絶縁層、導電層、レーザー光の遮光層、マイグレーション防止用のバリア層、反射層としての機能内の少なくとも1つを発揮するものが挙げられる。

【0123】なお、場合によっては、SiO_x膜等の中間層を形成せず、第1分離層404上に直接ゲート電極540、ゲート絶縁膜542などを形成してもよい。

【0124】本実施の形態ではさらに、中間層559及び第1分離層404にコンタクトホール553を形成し、ソース電極材料を該コンタクトホール553に充填し、後に第1分離層404より下層が除去された際に露出する露出端部522を形成している。なお、ゲート電極540の露出端部522(図示せず)は、中間層559に設けられるコンタクトホールにゲート電極材料を充填することで形成される。

【0125】(工程2) 次に、図24に示すように、被転写層400上に、第2分離層として例えれば熱溶融性接着層410を形成する。このとき、アモルファスシリコンTFTの表層に生じていた段差が、熱溶融性接着剤410により平坦化される。

【0126】この熱溶融性接着層410として、薄膜素子への不純物(ナトリウム、カリウムなど)汚染の虞がない、例えはブルーフワックス(商品名)などのエレクトロンワックスを挙げることができる。

【0127】(工程3) さらに、図24に示すように、第2分離層である熱溶融性接着層410の上に、一次転写体420を接着する。この一次転写体420は、第2の被転写層400の製造後に接着されるものであるので、第2の被転写層400の製造時のプロセス温度などに対する制約はなく、常温時に保型性さえあればよい。本実施の形態ではガラス基板、合成樹脂など、比較的安価で保型性のある材料を用いている。

【0128】(工程4) 次に、図25の矢印Aに示すよ

うに、透明基板 402 の裏面側から光を照射する。

【0129】この光は、透明基板 402 を透過した後に第1分離層 404 に照射される。これにより、第1分離層 404 に層内剥離および／または界面剥離が生じ、結合力が減少または消滅する。

【0130】次に、図25の矢印Bに示すように、透明基板 402 に力を加えて、この基板 402 を第1分離層 404 から離脱させる。

【0131】(工程5) 次に、被転写層 400 の下面に残存している第1分離層 404 を、例えば洗浄、エッチング、アッショング、研磨等の方法またはこれらを組み合わせた方法により除去する。これにより、図26に示すように、第2の被転写層(薄膜デバイス層) 400 が、一次転写体 420 に一次転写されたことになる。このとき、ソース電極 552 の一部は、コンタクトホール 553 を介して露出して、露出端部 522 が形成される。ゲート電極 540 の一部も同様に露出される。

【0132】なお、離脱した透明基板 402 にも第1分離層 404 の一部が付着している場合には同様に除去する。なお、基板 402 が石英ガラスのような高価な材料、希少な材料で構成されている場合等には、基板 402 は、好ましくは再利用(リサイクル)に供される。すなわち、再利用したい基板 402 に対し、本発明を適用することができ、有用性が高い。

【0133】(工程6) 次に、図27に示すように、第2の被転写層 400 を、カード基板 20 上に導電性接着層 430 を介して接合する。このとき、カード基板 20 上に予め形成された配線 29 と、第2の被転写層 400 の露出端部 522 とが対向される。

【0134】導電性接着層 430 としては、第2の実施の形態と同様にACFを用い、露出端部 522 と配線 29 とは、その間に挟まれて加熱加圧される導電粒子 431 を介して電気的に接続される。

【0135】なお、二次転写体として機能するカード基板 20 は、平板であっても、湾曲板であってもよい。また、二次転写体であるカード基板 20 は、第2の被転写層 400 を形成するための基板 402 に比べ、耐熱性、耐食性等の特性が劣るものであってもよい。その理由は、基板 402 側に第2の被転写層 400 を形成し、その後、第2の被転写層 400 を二次転写体であるカード基板 20 に転写するため、このカード基板 20 に要求される特性、特に耐熱性は、第2の被転写層 400 の形成の際の温度条件等に依存しないからである。この点は、一次転写体 420 についても同様である。

【0136】したがって、第2の被転写層 400 の形成の際の最高温度を T_{max} としたとき、一次、二次転写体 420, 20 の構成材料として、ガラス転移点(T_g)または軟化点が T_{max} 以下のものを用いることができる。例えば、一次、二次転写体 420, 20 は、ガラス転移点(T_g)または軟化点が好ましくは 800°C 以

下、より好ましくは 500°C 以下、さらに好ましくは 320°C 以下の材料で構成することができる。

【0137】(工程7) 次に、熱溶融性樹脂層 410 を熱により溶融させ、この熱溶融性樹脂層 410 を境にして、被転写層 400 を一次転写体 420 より引き剥がす。さらに、TFTの下面に残存している熱溶融性樹脂層 410 を、例えば有機溶剤により除去する。これにより、図28の右側に示すように、第2の被転写層 400 が二次転写体であるカード基板 20 に転写される。この10 図28の右側の状態は、図23に示す基板 402 及び第1分離層 404 を、二次転写体であるカード基板 20 及び導電性接着層 430 に置き換えたものと同じとなる。従って、TFTの製造工程に用いた基板 402 に対する第2の被転写層 400 の積層関係が、二次転写体であるカード基板 20 上にて確保される。このため、画素電極 556 が露出され、アクティブマトリクス基板として利用できる。

【0138】なお、ICカードとして一次転写体があつても不都合でない場合には、特に一次転写体がプラスチックなどである場合には、一次転写体を必ずしも引き剥がす必要はない。この場合には、第2分離層 140 は後に分離する必要が無いことから、接合層として機能するものであればよい。

【0139】(工程8) 次に、図28の左側に示すように、図21(A)の各種回路及び配線が形成された第1の被転写層 140 を、カード基板 20 上に導電性接着層 440 を介して接着する。このとき、カード基板 20 上に予め形成された配線 26, 29(図28では配線 26 は図示せず)と、第1の被転写層 140 の露出端部 141 とが対向される。

【0140】導電性接着層 440 としてACFを用い、露出端部 141 と配線 26, 29 とは、その間に挟まれて加熱加圧される導電粒子 441 を介して電気的に接続される。

【0141】(工程9) 図28の左側に示すように、基板 100 の裏面から、例えば、Xe-C1エキシマレーザー光を照射する。これにより、分離層 120 の層内および／または界面において剥離を生じせしめる。この結果、分離層 120 の結合力が低下するので、この分離層 40 120 を境として、第1の被転写層 140 より基板 100 を引き剥がす。

【0142】さらに、分離層 120 をエッティングにより除去する。これにより、図21(A)に示すように、カード基板 20 上にて、かつ配線 26, 29 と導通された状態にて、第1、第2の被転写層 140, 400 が転写される。

【0143】(工程10) 最後に、このアクティブマトリクス層として機能する第2の被転写層 400 を用いて、液晶表示部 70 を製造する。この際、図29の通り、アクティブマトリクス層である第2の被転写層 40

0と、共通透明電極232が形成された対向基板230とがシール材234により貼り合わされて、その間に液晶236を封入する封入工程が実施される。この際、予め、第2の被転写層400の表面に配向膜を形成して配向処理が施される。対向基板230も同様に、透明共通電極232の表面が配向処理されている。

【0144】この後、対向基板230表面に偏光板を取り付け、カード基板20の液晶表示部70以外の表面を保護膜で覆って、ICカードが完成する。

【0145】なお、第5の実施の形態では、第2の被転写層400を2度転写によりカード基板20上に転写したが、第1の被転写層140の場合と同様に1度転写で行うことも可能である。このとき、1度転写により画素電極が露出するように構成すればよい。

【0146】また、画素電極556は、被転写層400が転写された後に、TFTに接続するように形成してもよい。

【0147】また、液晶表示部70は必ずしもアクティブマトリクス型液晶表示装置に限らず、数字、キャラクタなどの定型パターンを表示するものでも良い。

【0148】以上、本発明をICカードに適用したものについて説明したが、本発明は必ずしもICカードに限らず、同様な製造方法により製造されるカード状でない薄膜集積回路装置にも適用できる。

【0149】

【実施例】次に、被転写層140の製造に関する具体的実施例について説明する。

【0150】(実施例1) 縦50mm×横50mm×厚さ1.1mmの石英基板(軟化点: 1630°C、歪点: 1070°C、エキシマレーザの透過率: ほぼ100%)を用意し、この石英基板の片面に、分離層(レーザ光吸収層)として非晶質シリコン(a-Si)膜を低圧CVD法(Si:H₂ガス、425°C)により形成した。分離層の膜厚は、100nmであった。

【0151】次に、分離層上に、中間層としてSiO₂膜をECR-CVD法(SiH₄+O₂ガス、100°C)により形成した。中間層の膜厚は、200nmであった。

【0152】次に、中間層上に、被転写層として膜厚50nmの非晶質シリコン膜を低圧CVD法(Si:H₂ガス、425°C)により形成し、この非晶質シリコン膜にレーザ光(波長308nm)を照射して、結晶化させ、ポリシリコン膜とした。その後、このポリシリコン膜に対し、所定のパターンニングを施し、薄膜トランジスタのソース・ドレイン・チャネルとなる領域を形成した。この後、1000°C以上の高温によりポリシリコン膜表面を熱酸化してゲート絶縁膜SiO₂を形成した後、ゲート絶縁膜上にゲート電極(ポリシリコンにMo等の高融点金属が積層形成された構造)を形成し、ゲート電極

をマスクとしてイオン注入することによって、自己整合

的(セルファライン)にソース・ドレイン領域を形成し、薄膜トランジスタを形成した。この後、必要に応じて、ソース・ドレイン領域に接続される電極及び配線、ゲート電極につながる配線が形成される。これらの電極や配線にはAlが使用されるが、これに限定されるものではない。また、後工程のレーザー照射によりAlの溶融が心配される場合は、Alよりも高融点の金属(後工程のレーザー照射により溶融しないもの)を使用してもよい。最後にパッシベーション膜を形成し、その際ソース線、ゲート線の端部を露出させた。

【0153】次に、前記薄膜トランジスタの上に、導電性接着剤を塗布しさらにその塗膜に、転写体としてプラスチック製カード基板を接合した。カード基板には予め配線パターンが形成され、その配線パターンとの導通を取るために、予め位置合わせした後に接合した。

【0154】次に、Xe-CIエキシマレーザ(波長: 308nm)を石英基板側から照射し、分離層に剥離(層内剥離および界面剥離)を生じさせた。照射したXe-CIエキシマレーザのエネルギー密度は、250mJ/cm²、照射時間は、20nsecであった。なお、エキシマレーザの照射は、スポットビーム照射とラインビーム照射とがあり、スポットビーム照射の場合は、所定の単位領域(例えば8mm×8mm)にスポット照射していく。また、ラインビーム照射の場合は、所定の単位領域(例えば378mm×0.1mmや378mm×0.3mm(これらはエネルギーの90%以上が得られる領域))と同じくしていく。

【0155】この後、石英基板とカード基板(転写体)とを分離層において引き剥がし、石英基板上に形成された薄膜トランジスタおよび中間層を、カード基板側に転写した。

【0156】その後、カード基板側の中間層の表面に付着した分離層を、エッティングや洗浄またはそれらの組み合わせにより除去した。また、石英基板についても同様の処理を行い、再使用に供した。

【0157】(実施例2) 分離層を、H(水素)を20at%含有する非晶質シリコン膜とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0158】なお、非晶質シリコン膜中のH量の調整は、低圧CVD法による成膜時の条件を適宜設定することにより行った。

【0159】(実施例3) 分離層を、スピニコートによりゾルゲル法で形成したセラミックス薄膜(組成: PbTiO₃、膜厚: 200nm)とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0160】(実施例4) 分離層を、スパッタリングにより形成したセラミックス薄膜(組成: BaTiO₃、膜厚: 400nm)とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0161】(実施例5) 分離層を、レーザーアブレー

ション法により形成したセラミックス薄膜（組成：Pb (Zr, Ti) O_x (PZT)、膜厚：50 nm）とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0162】（実施例6）分離層を、スピンドルコートにより形成したポリイミド膜（膜厚：200 nm）とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0163】（実施例7）分離層を、スピンドルコートにより形成したポリフェニレンサルファイド膜（膜厚：200 nm）とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0164】（実施例8）分離層を、スパッタリングにより形成したAl層（膜厚：300 nm）とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0165】（実施例9）照射光として、Kr-Fエキシマレーザ（波長：248 nm）を用いた以外は実施例2と同様にして、薄膜トランジスタの転写を行った。なお、照射したレーザのエネルギー密度は、250 mJ/cm²、照射時間は、20 nsecであった。

【0166】（実施例10）照射光として、Nd-YAGレーザ（波長：1068 nm）を用いた以外は実施例2と同様にして薄膜トランジスタの転写を行った。なお、照射したレーザのエネルギー密度は、400 mJ/cm²、照射時間は、20 nsecであった。

【0167】（実施例11）被転写層として、高温プロセス1000°Cによるポリシリコン膜（膜厚80 nm）の薄膜トランジスタとした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0168】（実施例12）転写体として、ポリカーボネート（ガラス転移点：130°C）製の透明基板を用いた以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0169】（実施例13）転写体として、AS樹脂（ガラス転移点：70～90°C）製の透明基板を用いた以外は実施例2と同様にして、薄膜トランジスタの転写を行った。

【0170】（実施例14）転写体として、ポリメチルメタクリレート（ガラス転移点：70～90°C）製の透明基板を用いた以外は実施例3と同様にして、薄膜トランジスタの転写を行った。

【0171】（実施例15）転写体として、ポリエチレンテレフタレート（ガラス転移点：67°C）製の透明基板を用いた以外は、実施例5と同様にして、薄膜トランジスタの転写を行った。

【0172】（実施例16）転写体として、高密度ポリエチレン（ガラス転移点：77～90°C）製の透明基板を用いた以外は実施例6と同様にして、薄膜トランジスタの転写を行った。

20

20

30

40

50

（実施例17）転写体として、ポリアミド（ガラス転移点：145°C）製の透明基板を用いた以外は実施例9と同様にして、薄膜トランジスタの転写を行った。

【0173】（実施例18）転写体として、エポキシ樹脂（ガラス転移点：120°C）製の透明基板を用いた以外は実施例10と同様にして、薄膜トランジスタの転写を行った。

【0174】（実施例19）転写体として、ポリメチルメタクリレート（ガラス転移点：70～90°C）製の透明基板を用いた以外は実施例11と同様にして、薄膜トランジスタの転写を行った。

【0175】実施例1～19について、それぞれ、転写された薄膜トランジスタの状態を肉眼と顕微鏡で観察したところ、いずれも、欠陥やムラがなく、均一に転写がなされていた。

【0176】以上述べたように、本発明では、転写技術を用いることで、製造時に使用した基板の制約を受けずに、カード基板を選択でき、薄くて軽量のICカードなどの薄膜集積回路装置、さらには可搬性のあるICカードを提供できる。

【0177】

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るICカードを概略的に示す平面図である。

【図2】本発明のICカードの製造方法の第1、第2の実施の形態における第1の工程を示す断面図である。

【図3】(A) (B)は、本発明のICカードの製造方法の第1の実施の形態における第2、第3の工程を示す断面図である。

【図4】本発明のICカードの製造方法の第1の実施の形態における第4の工程を示す断面図である。

【図5】本発明のICカードの製造方法の第1の実施の形態における第5の工程を示す断面図である。

【図6】本発明のICカードの製造方法の第1の実施の形態における第6の工程を示す断面図である。

【図7】図3の基板のレーザー光の波長に対する透過率の変化を示す図である。

【図8】本発明のICカードの製造方法の第2の実施の形態における第2の工程を示す断面図である。

【図9】本発明のICカードの製造方法の第2の実施の形態における第3の工程を示す断面図である。

【図10】本発明のICカードの製造方法の第2の実施の形態における第4の工程を示す断面図である。

【図11】本発明のICカードの製造方法の第2の実施の形態における第5の工程を示す断面図である。

【図12】本発明のICカードの製造方法の第2の実施の形態における第6の工程を示す断面図である。

【図13】本発明のICカードの製造方法の第2の実施の形態における第7の工程を示す断面図である。

【図14】本発明のICカードの製造方法の第2の実施

の形態における第 8 の工程を示す断面図である。

【図 15】本発明の I C カードの製造方法の第 2 の実施の形態における第 9 の工程を示す断面図である。

【図 16】被転写層が多数同時に形成される半導体ウエハを用いて検査工程、ダイシング工程を実施する第 10 工程を説明するための図である。

【図 17】本発明の I C カードの製造方法の第 2 の実施の形態における第 11 の工程を示す断面図である。

【図 18】本発明の I C カードの製造方法の第 2 の実施の形態における第 12 の工程を示す断面図である。

【図 19】本発明の I C カードの製造方法の第 2 の実施の形態における第 13 の工程を説明するための図である。

【図 20】(A) ~ (C) は、本発明の第 3 の実施の形態に係る I C カードを概略的に示す平面図である。

【図 21】(A)、(B) は、本発明の第 4 の実施の形態に係る I C カードを概略的に示す平面図である。

【図 22】本発明の第 5 の実施の形態に係る I C カードを概略的に示す平面図である。

【図 23】本発明の I C カードの製造方法の第 5 の実施の形態における第 1 の工程を示す断面図である。

【図 24】本発明の I C カードの製造方法の第 5 の実施の形態における第 2、3 の工程を示す断面図である。

【図 25】本発明の I C カードの製造方法の第 5 の実施の形態における第 4 の工程を示す断面図である。

【図 26】本発明の I C カードの製造方法の第 5 の実施の形態における第 5 の工程を示す断面図である。

【図 27】本発明の I C カードの製造方法の第 5 の実施の形態における第 6 の工程を示す断面図である。

【図 28】本発明の I C カードの製造方法の第 5 の実施の形態における第 7 ~ 9 の工程を示す断面図である。

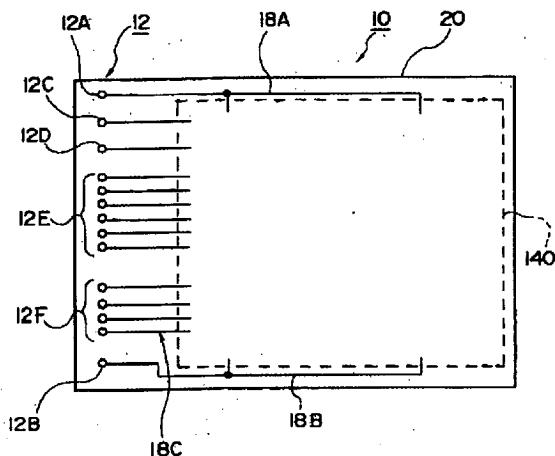
【図 29】本発明の I C カードの製造方法の第 5 の実施

の形態における第 10 の工程を示す断面図である。

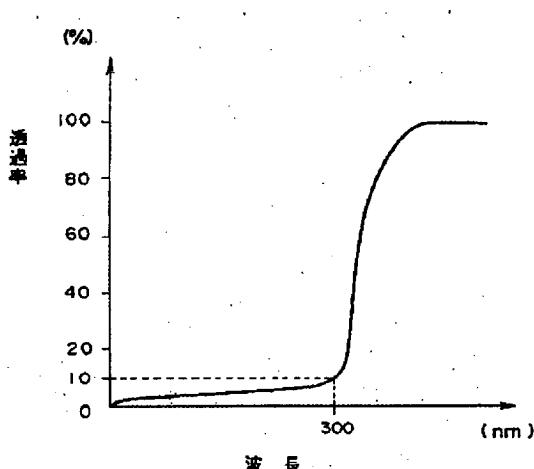
【符号の説明】

10	I C カード
12	端子
14	I/O
16	R OM
18 A ~ 18 D	配線
20	カード基板
22 ~ 29	配線
30	メモリ
32, 34	配線
40	C PU
43, 44, 46	配線
50	I/O
60	表示駆動回路
70	表示部
80	太陽電池
100	基板(製造用基板)
120	分離層(レーザー吸収層)
140	被転写層(第 1 の被転写層)
141	露出端部(電極露出部)
160, 430, 440	導電性接着層
220	液晶
230	対向基板
300	転写基板
400	第 2 の被転写層
402	製造用基板
410	第 2 分離層
420	一次転写体
556	画素電極
559	第 1 分離層

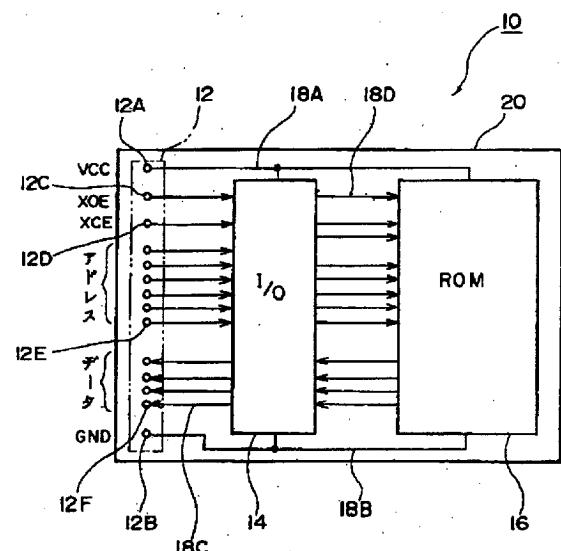
【図 2】



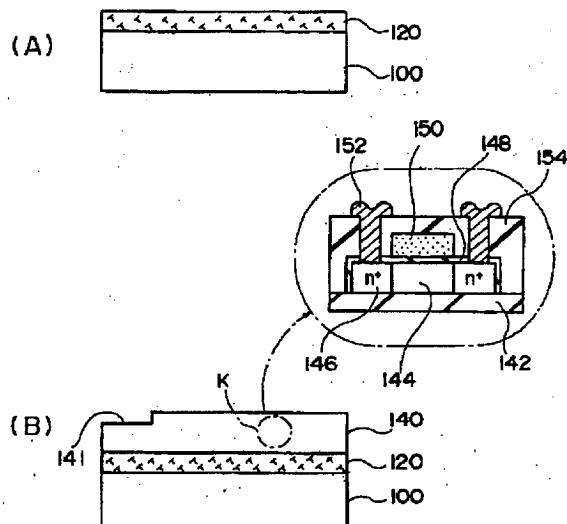
【図 7】



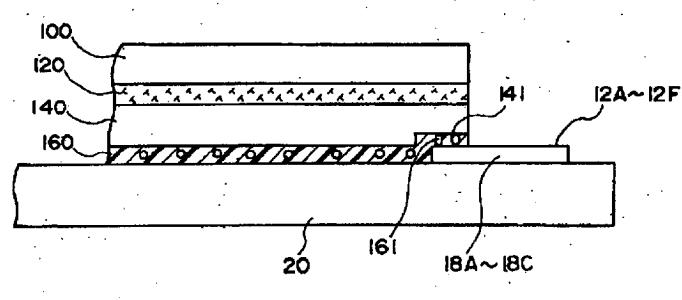
[図 1]



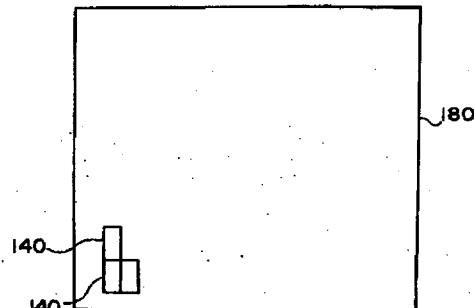
[図3]



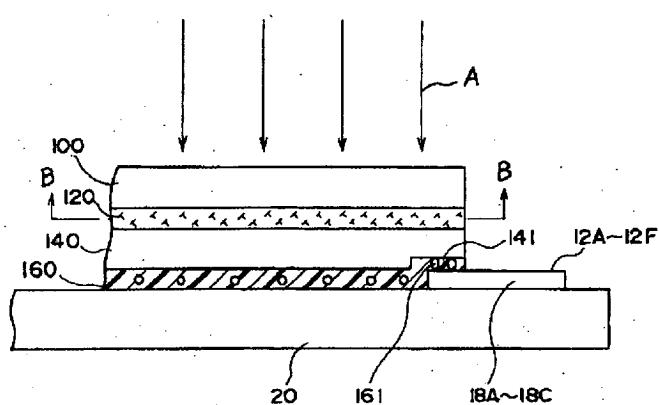
【図4】



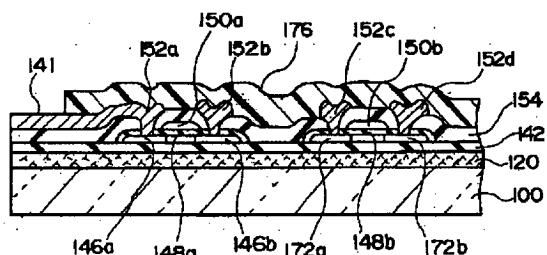
【図16】



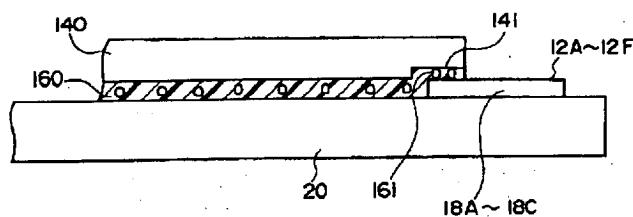
【图5】



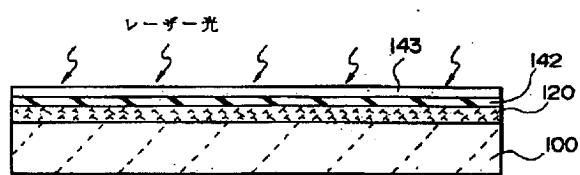
[图 15]



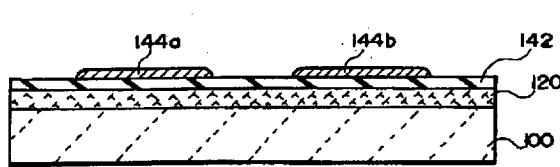
【図 6】



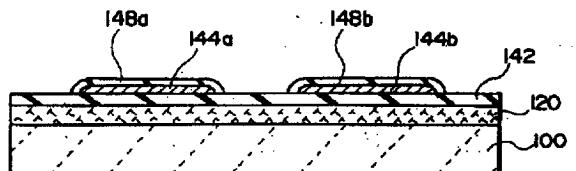
【図 8】



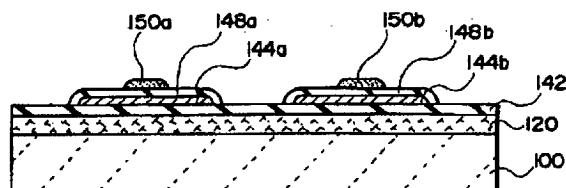
【図 9】



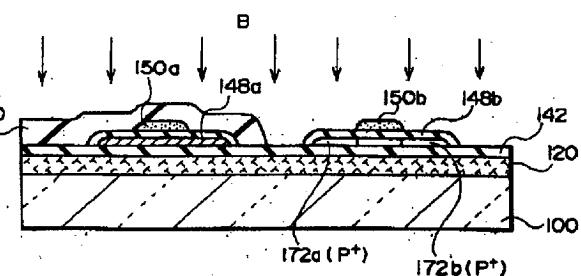
【図 10】



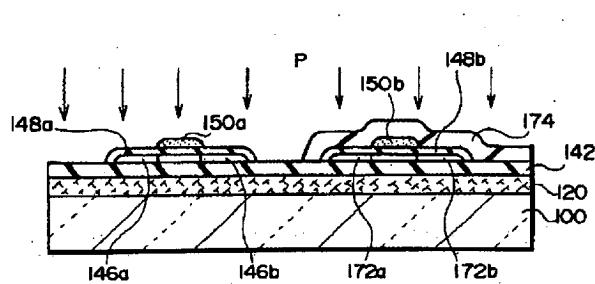
【図 11】



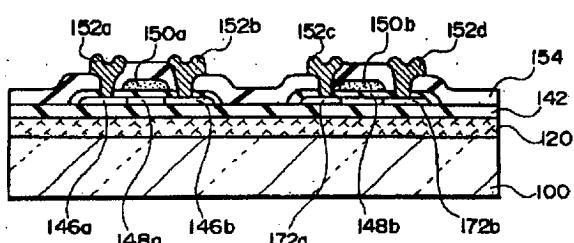
【図 12】



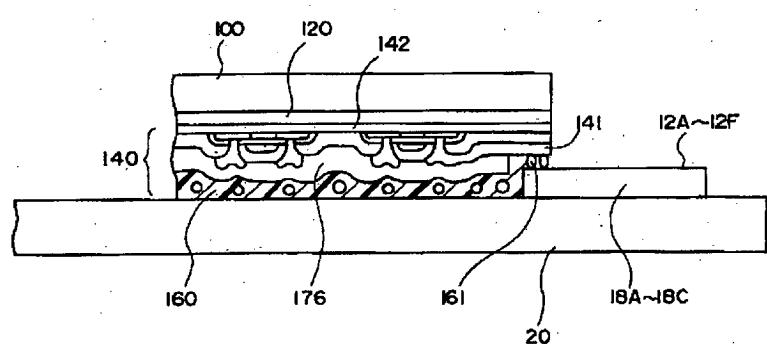
【図 13】



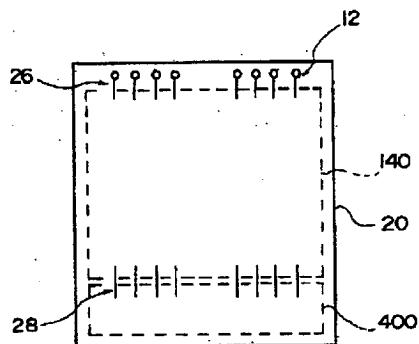
【図 14】



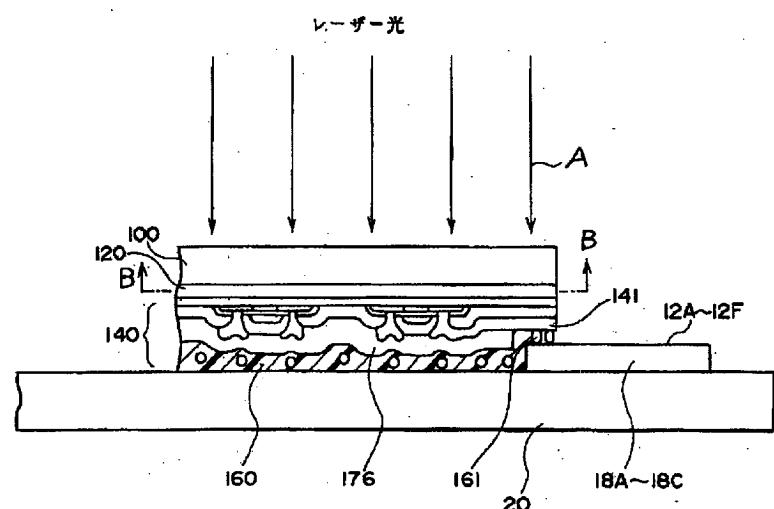
【図 17】



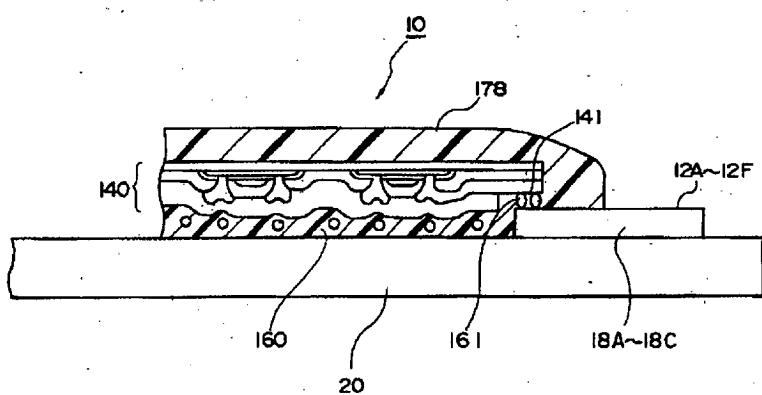
【図 22】



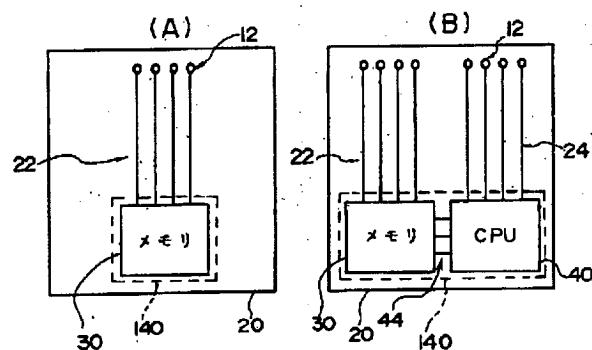
【図 18】



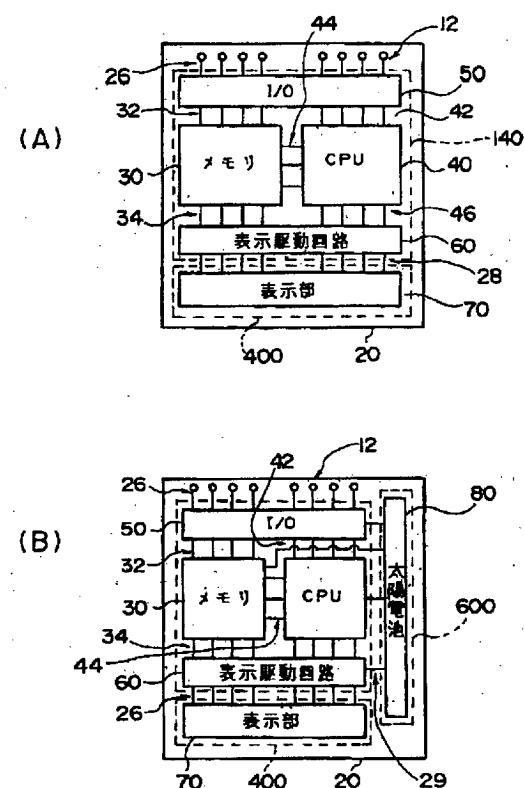
【図 19】



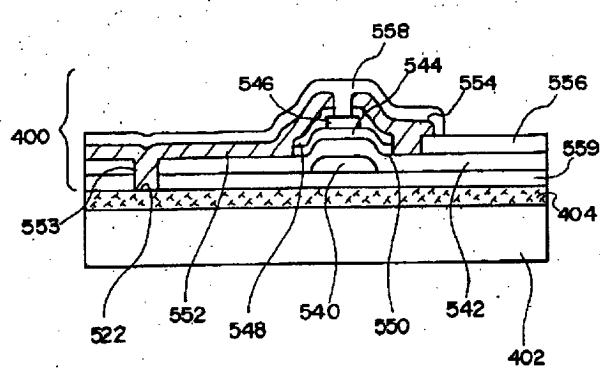
【図 20】



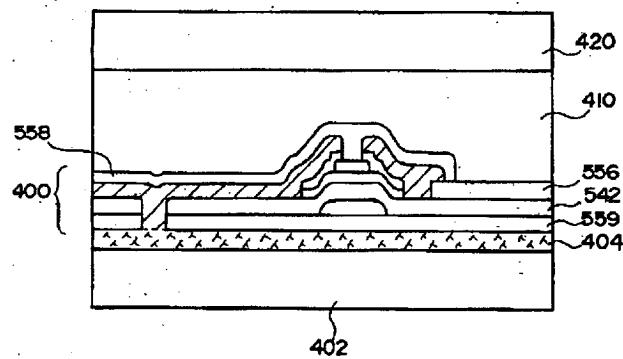
【図 21】



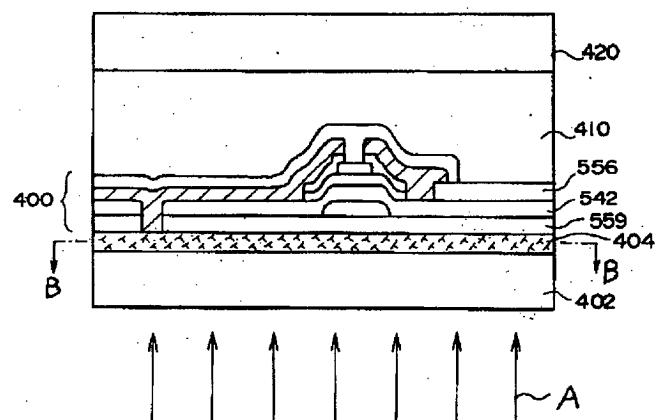
【図 23】



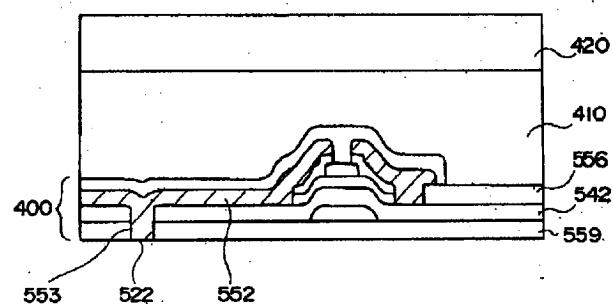
【図 24】



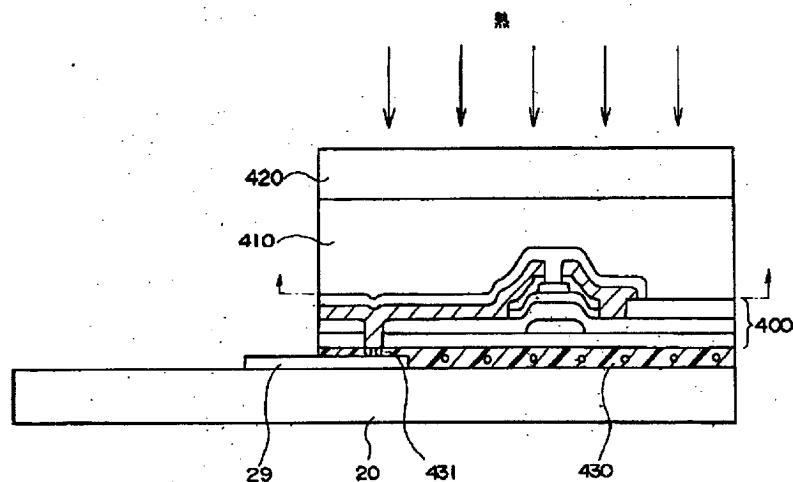
【図 25】



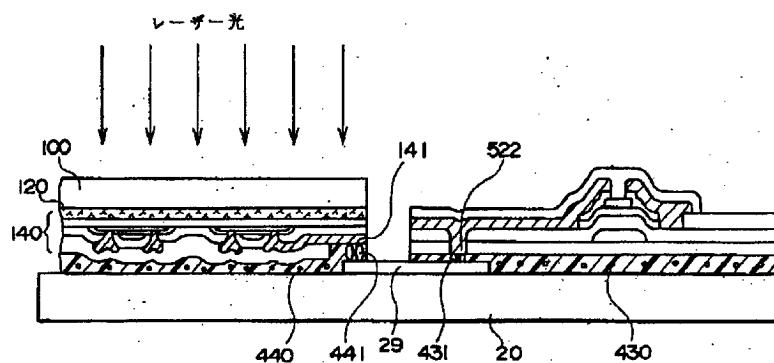
【図 26】



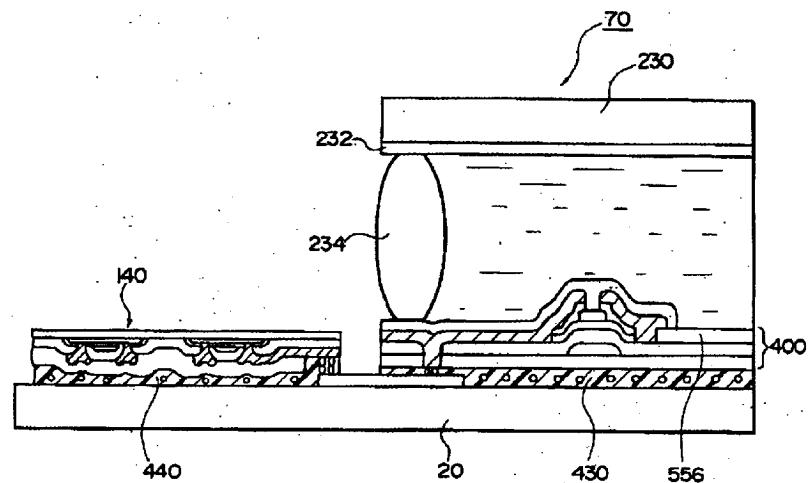
【図27】



【図28】



【図29】



フロントページの続き

(51) Int.Cl.⁶

識別記号

F I

H 05 K 3/20